

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-062784

(43)Date of publication of application : 02.03.1990

(51)Int.Cl.

G11C 11/403

(21)Application number : 63-214225

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 29.08.1988

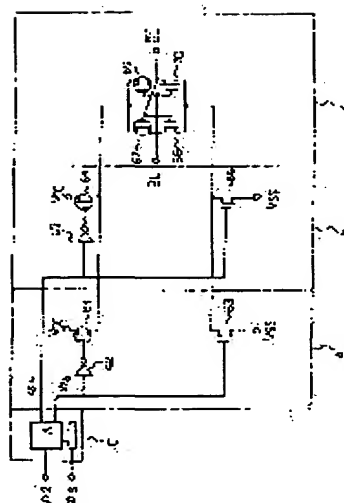
(72)Inventor : TAKAHASHI YASUNAO

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To quicken a memory cycle and to attain low current consumption at cell refresh by providing a selector circuit activating plural sense amplifier control signals and plural sense amplifier activating control sections receiving the activation control by the sense amplifier control signals.

CONSTITUTION: A selector circuit (c) activating selectively plural sense amplifier control signals ϕ_{1a} , ϕ_{1b} by using a selection signal ϕ_s and plural sense amplifier activating control sections (a), (b) subjected to activation control by the sense amplifier control signals ϕ_{1a} , ϕ_{1b} are provided. The size of transistors is selected larger for the 1st sense amplifier activation control section (a) than for the 2nd sense amplifier activation control section (b). The size of the sense amplifier activation transistors at self refresh and at normal operation is selected to quicken the memory cycle and to reduce the current at refresh.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-62784

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月2日

G 11 C 11/403

8522-5B

G 11 C 11/34

3 7 1 J

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体メモリ装置

⑯ 特 願 昭63-214225

⑰ 出 願 昭63(1988)8月29日

⑱ 発 明 者 高 橋 保 直 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑲ 出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

⑳ 代 理 人 弁理士 桑 井 清 一

明 細 書

1. 発明の名称

半導体メモリ装置 *반도체 메모리 장치*

2. 特許請求の範囲

センスアンプの活性化制御を行う半導体メモリ装置において、選択信号により複数のセンスアンプ制御信号を選択的に活性化するセレクト回路と、センスアンプ制御信号により活性化制御を受ける複数のセンスアンプ活性化制御部を有することを特徴とする半導体メモリ装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は半導体メモリ装置に関し、特にセルフリフレッシュ時のメモリセルのデータ保持時間を通常動作時のデータ保持時間に比べ増加できる擬似スタティックメモリに関する。

[従来の技術]

半導体メモリ装置は微細加工技術の進歩と共に集積度の向上がなされてきた。特にダイナミックメモリ装置では、メモリセルの構造が簡単であるため、高集積化が可能であり、低価格という利点がある。しかしながら、メモリセルがダイナミック回路であるため、スタンバイ時にもメモリセルをリフレッシュする必要があり、外部コントロールが複雑になるという欠点を持つ。この欠点を解消するため内部リフレッシュ回路を内蔵し、スタンバイ時に自動的にリフレッシュ(セルフリフレッシュモード)を行う擬似スタティックメモリ装置の開発が行われるようになってきた。

第5図に従来例の説明として、代表的なメモリセルアレイ部の回路図を示す。構成としては、外部アドレスをラッチするアドレスバッファa、アドレス信号をデコードしてワード線を選択する行デコーダh、センスアンプc、メモリセル部d、ビット線バランス部e、中間電位発生部fおよびワード線活性化後の一定の遅延時間後にセンスアンプ活性化信号φ2を活性化させるための遅延部

gよりなっている。

以下、第6図のタイミングチャート2より動作説明を行う。メモリセルリフレッシュ開始前に、ビット線BL、BLの電位は回路fにより決定される電位VRに、Nチャンネル型MOSトランジスタ(以下、MOSNTと称す。またPチャンネル型MOSトランジスタをMOSPTと称す)31, 32を介して、プリチャージされている。ビット線プリチャージ信号φPがリセットされた後、ワード線駆動信号φ1が活性化し、行デコーダbにより選択されたワード線WL1が活性化される。いまMOSNT10と容量20で構成されるメモリセルが"1"レベル(MOSNT10のソース電位がBLよりも高い状態)を保持しているとすると、WL1の活性化によりMOSNT10が導通状態となり、メモリセル容量CSとビット線容量CDの容量分割により決定される電位 $\Delta V = CS / CD + CS \times (VX - VR)$ だけビット線BLのレベルが上昇する。ここでVXはメモリセルの初期電位である。その後φ1から一

定遅延時間T後にφ2が活性化し、ビット線間の初期差電位ΔVを増幅してBLを電源電位へ、BLを接地電位へ致らしめる。これによりメモリセルの"1"レベルがリフレッシュされる。

CPUの高速化等の市場動向にともないメモリの読み出し/書込時間の高速化が要求されている。このためセンスアンプ活性化信号φ2により活性化制御を受けるMOSNT6、及びMOSPT1のチャンネル幅Wは目標とするビット線の充放電時間により決定されている。一般にWが大きいほどビット線の充放電時間は早くなり、センス感度は低下する。逆にWが小さいほどビット線の充放電時間は遅くなり、センス感度が向上する。

さて、前述した擬似スタティックメモリ装置では通常スタンバイ時の消費電流を低減するため、セルフリフレッシュモード時のリフレッシュ同期は通常動作時のリフレッシュ同期の5〜10倍程度に設定される。その結果、メモリセルのデータ保持時間がセルフリフレッシュモード時に最もきびしくなる。

【発明が解決しようとする問題点】

上述した従来の半導体メモリ装置は、メモリサイクルの高速化のため、センスアンプの活性化による差動増幅の速度を早めるため、活性化Tr1, 6のサイズを大型化しており、そのため不感帯が増加し、データ保持時間が低下するという欠点がある。

【発明の従来技術に対する相違点】

上述した従来の半導体メモリ装置に対して、本発明はメモリサイクルの高速化とセルフリフレッシュ時の低消費電流を両立させ得るという独創的内容を有する。

【問題点を解決するための手段】

本発明はセンスアンプの活性化制御を行う半導体メモリ装置において、選択信号により複数のセンスアンプ制御信号を選択的に活性化するセレクト回路を、センスアンプ制御信号により活性化制

御を受ける複数のセンスアンプ活性化制御部を有することを特徴とする。

【実施例】

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例である。本実施例のセンスアンプ部は第1の制御信号φaにより活性化制御を受けるMOSNT63、MOSPT61により構成される第1のセンスアンプ活性化制御部aと、第2の制御信号φbにより活性化制御を受けるMOSNT66、MOSPT64により構成される第2のセンスアンプ活性化制御部b、センスアンプ活性化信号φ2、選択信号φsを入力とし、前記第1、第2の制御信号φa, φbを出力とするセレクトcおよびセンスアンプdより構成される。またTrサイズは第1のセンスアンプ活性化制御部aの方が第2のそれよりも大きく設定されている。以下、第2図のタイミングチャートにより動作説明を行う。高速動作モードでは、選択信号φsにより第1のセンスアンプ活性化制

御部 a が活性化される。その結果、Tr サイズが大きいため高速で差動増幅が行われるがセンス感度は逆に悪くなる。このため通常動作時に高速動作モードを用いる。今度は選択信号 ϕs により第2のセンスアンプ活性化制御部 b を活性化すると、Tr サイズが小さいためゆっくりと差動増幅が行われ、センス感度は良くなる。この低速動作モードは、データ保持時間を長く取りたいセルフリフレッシュ時に特に有効であり、このセルフリフレッシュ時に用いる。

第3図は2段階増幅型センスアンプに本発明を適用した例である。本実施例のセンスアンプ部は、第1の制御信号 ϕa に活性化制御を受ける MOSNT63、MOSPT61、 ϕa を入力とする遅延素子50の出力信号 ϕc により活性化制御を受ける MOSNT73、MOSPT71 により構成される第1のセンスアンプ活性化制御部 a と、第2の制御信号 ϕb により活性化制御を受ける MOSNT66、MOSPT64、 ϕb を入力とする遅延素子51の出力信号 ϕd により活性化制御を

受ける MOSNT76、MOSPT74 により構成される第2のセンスアンプ活性化制御部 b と、センスアンプ活性化信号 $\phi 2$ 、選択信号 ϕs を入力として前記第1、第2の制御信号 ϕa 、 ϕb を出力とするセレクタ c およびセンスアンプ d より構成される。なお第1の活性化制御部 a の Tr の方が第2の活性化制御部 b のそれよりも大きい。

以下第4図に示すタイミングチャートにより説明する。選択信号 ϕs により、高速動作モードが選択されると、第1の制御信号 ϕa が活性化し1次増幅を行い、D1の遅延後に ϕc の活性化により2次増幅が行われる。同様にして、低速動作モードでも2段階増幅が行われる。このように本発明を適用することにより、通常動作時にはサイズの大きな Tr により高速でセンスができる高速動作モードを選択し、セルフリフレッシュのようにセルデータの保持時間を増加したり消費電流を低く抑えたいときには、センス感度を上げた低速動作モードを選択すれば、高速動作と低消費電流という相反する2つの利点を生かすことが可能とな

る。

[発明の効果]

以上説明したように本発明はセルフリフレッシュ時と通常動作時におけるセンスアンプ活性化 Tr のサイズ切換をすることにより、リフレッシュ時のセンス感度を上げ、データ保持特性の向上を行い、リフレッシュ時の電流を低減できる効果がある。

4. 図面の簡単な説明

第1図は本発明の第1の実施例に係る回路図、第2図は第1図の回路動作を説明するためのタイミングチャート、第3図は本発明の第2の実施例に係る回路図、第4図は第3図の回路動作を説明するためのタイミングチャート、第5図は従来例を説明するための回路図、第6図は第5図の回路動作を説明するためのタイミングチャートである。

74 Pチャンネル型MOSトランジスタ、

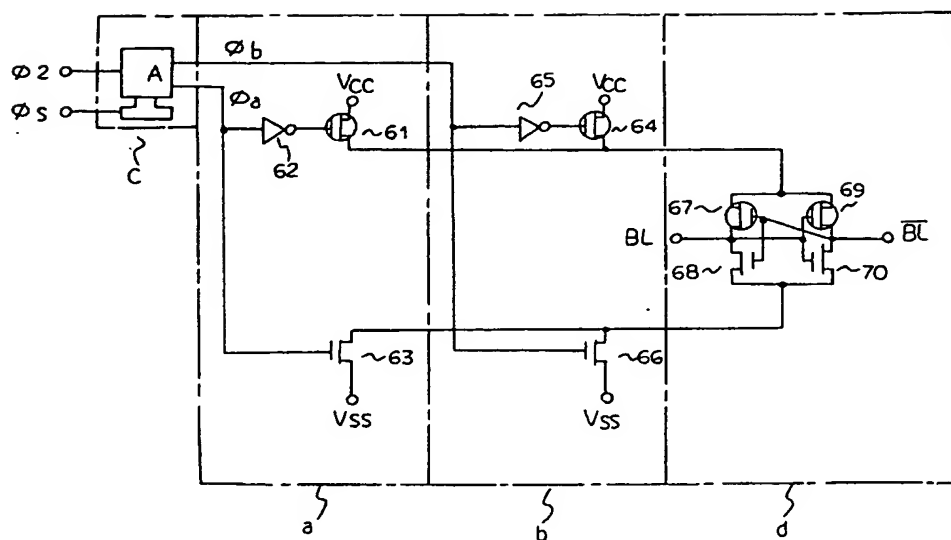
4, 5, 6, 10, 11, 30, 31, 32, 63, 66, 68, 70, 73, 76 Nチャンネル型MOSトランジスタ、

20, 21 容量素子、
40, 41 抵抗素子、
VCC 電源レベル、
VSS 接地レベル、
A スイッチ、
50, 51 遅延素子、
7, 62, 65, 72, 75 インバータ。

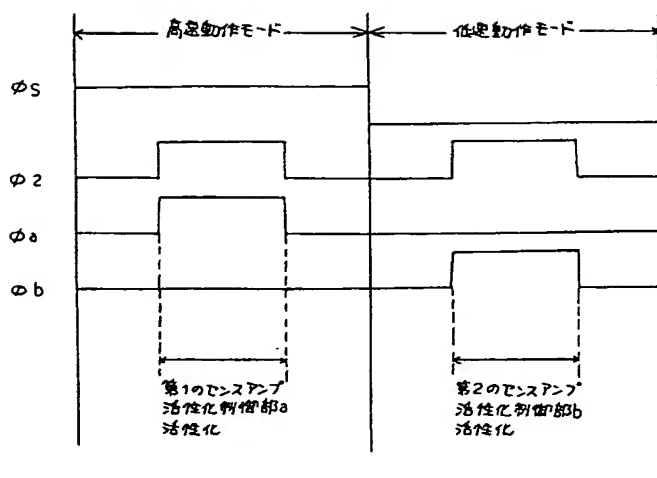
特許出願人 日本電気アイシーマイコンシステム株式会社

1, 2, 3, 61, 64, 67, 69, 71,

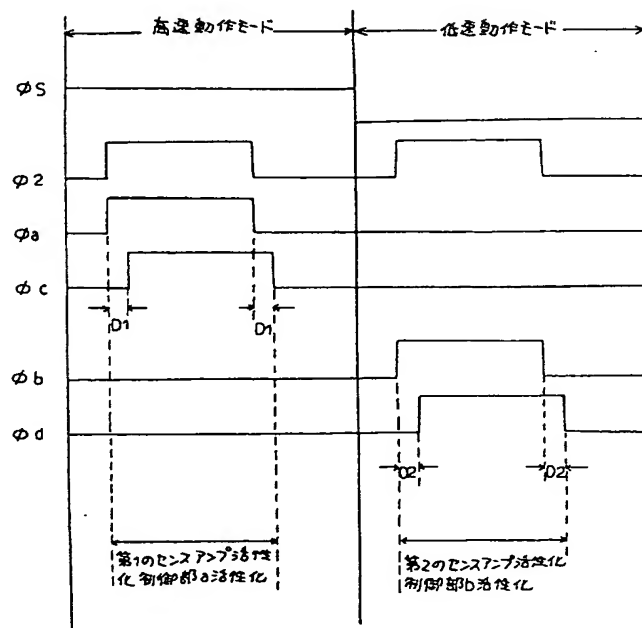
代理人 弁理士 桑 井 清 一



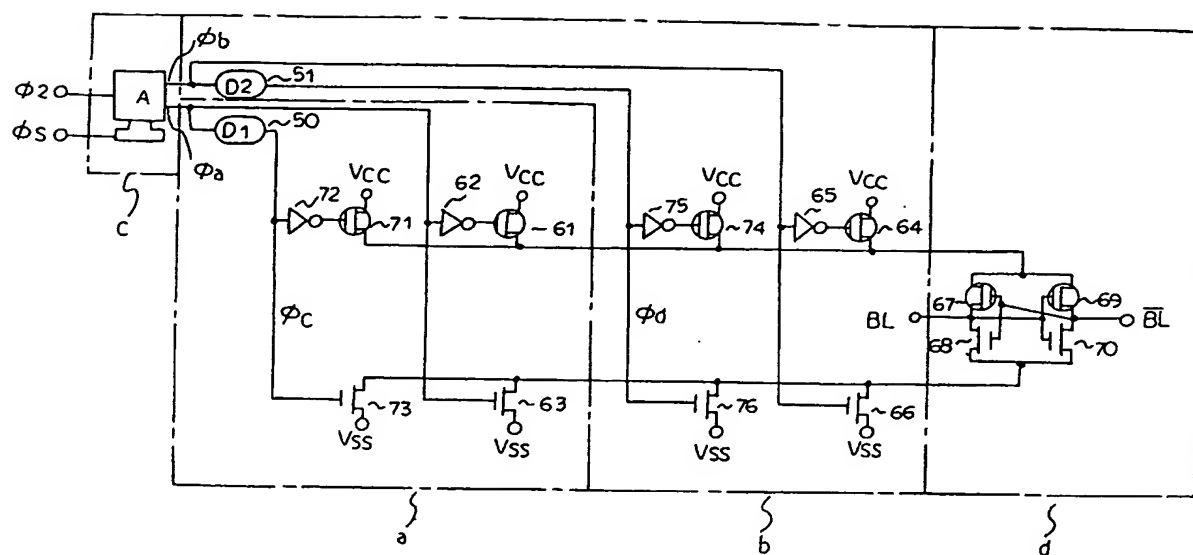
第1図



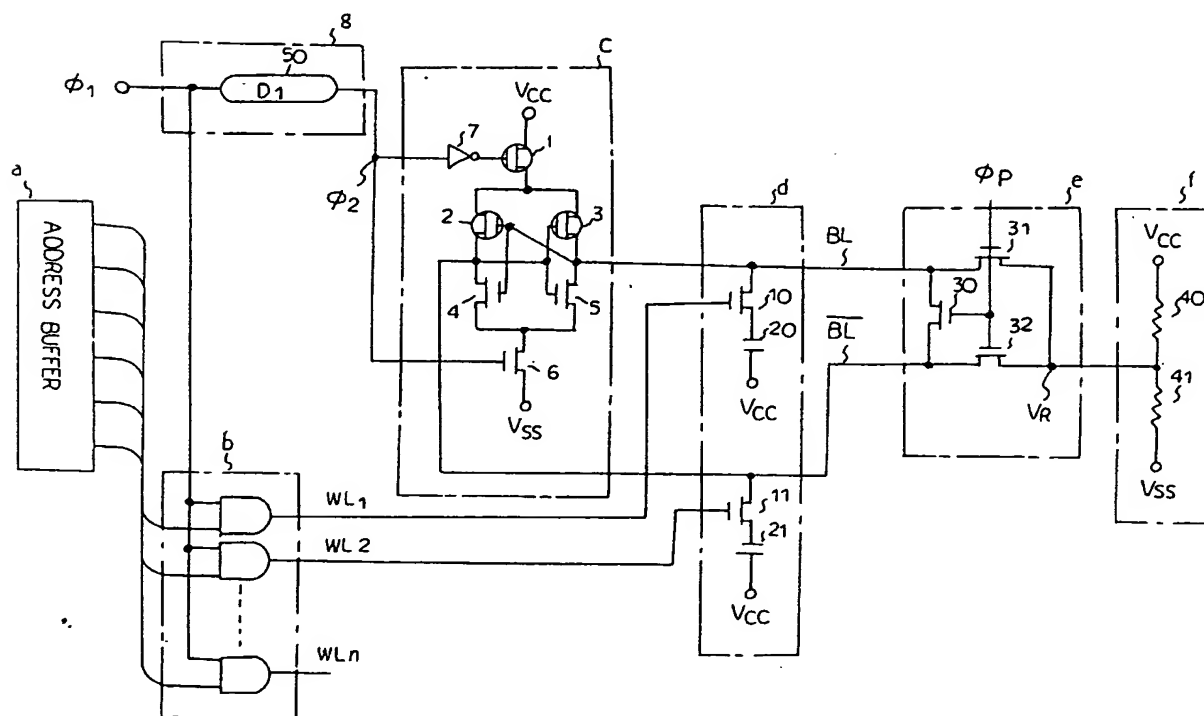
第2図



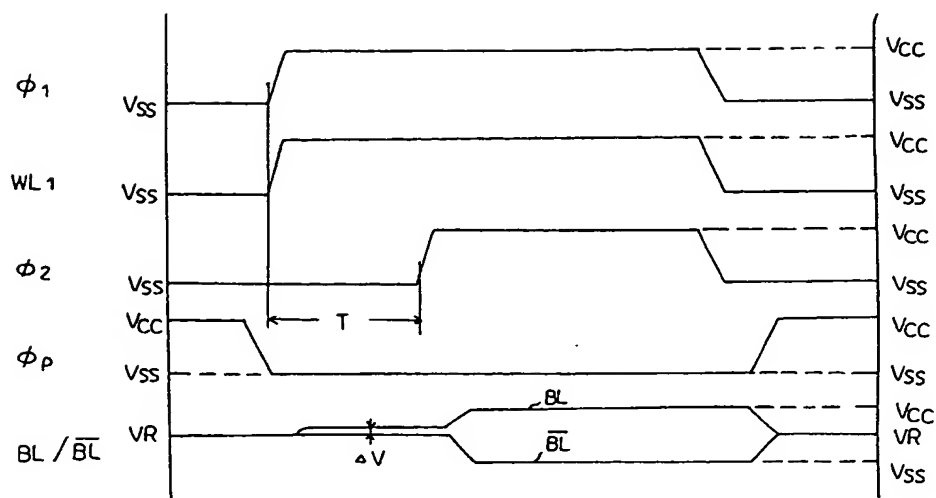
第4図



第3図



第5図



第 6 図